

(11)特許出願公開番号

特開平5-134930

(43)公開日 平成5年(1993)6月1日

(51)Int.Cl.

**G O 6 F 12/14**

識別記号

室内整理番号

**3 1 0 K 9293-5B**

**F I**

### 技術表示箇所

審査請求 未請求 請求項の数 5 (全 10 頁)

(21)出願番号

特願平3-323907

(22)出願日

平成3年(1991)11月12日

(71)出願人 000004228

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72)発明者 山田 茂樹

東京都千代田区内幸町一丁目1番6号 日

本電信電話株式会社内

(72)發明者 丸山 勝己

東京都千代田区内幸町一丁目1番6号 日

本電信電話株式会社内

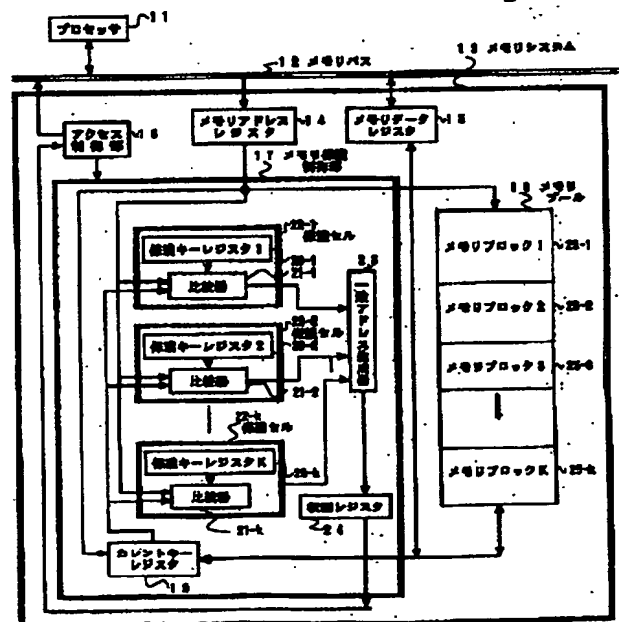
(74)代理人 弁理士 玉蟲 久五郎

(54)【発明の名称】 メモリ保護装置

(57) 【要約】 (修正有)

【目的】 複数のメモリブロックを多数のプロセスが共用使用するシステムで、メモリブロックの内容が誤ったプロセス等により破壊されるのを防ぎ、メモリ保護のためのオーバヘッドが少なく、可変長のメモリブロックにも対応できるメモリ保護装置を提供する。

【構成】 複数のメモリブロック25-iのうちのあるメモリブロックをアクセスする前に、そのメモリブロックに対応するメモリ保護情報記憶手段17に保護キー20-iを設定し、メモリブロックに関する属性キーをカレントキーレジスタ19に設定しておく。メモリブロックへのアクセスがある度にメモリアクセスと並行して、メモリ保護記憶手段17内のメモリアドレスに対応するメモリブロックの保護キー20-iとカレントキーレジスタ19の属性キーとを比較し、予め定められた条件を満足すればメモリアクセスを許容し、満足しなければメモリアクセスを禁止し外部に通知する。



本邦初の第1の実施例の施設を  
組み込んだスチール製成屋

## 【特許請求の範囲】

【請求項1】 複数のメモリブロックと、各メモリブロックに対応して保護情報を格納する複数のメモリ保護情報記憶手段と、あるメモリブロックに関する属性情報を記憶するカレントキー情報記憶手段とを備え、

あるメモリブロックをアクセスする前に予め、該メモリブロックに対応するメモリ保護情報記憶手段に保護キーを設定し、該メモリブロックに関する属性キーをカレントキー情報記憶手段に設定しておき、メモリブロックへのアクセスがある度に該メモリアクセスと並行して、メモリ保護記憶手段内の該メモリアドレスに対応するメモリブロックの保護キーとカレントキー情報記憶手段内の属性キーとを比較し、予め定められた条件を満足すれば該メモリアクセスを許容し、満足しなければ該メモリアクセスを禁止してアクセス違反が生じたことを外部に通知することを特徴とするメモリ保護装置。

【請求項2】 前記複数のメモリ保護情報記憶手段を連想メモリを用いて構成し、メモリアドレス情報をもとに前記複数のメモリ保護情報記憶手段が互いに並列的に動作する連想検索を行うことによって、前記複数のメモリ保護情報記憶手段の中から当該メモリブロックに対応するメモリ保護情報記憶手段を選択することを特徴とする請求項1記載のメモリ保護装置。

【請求項3】 前記複数のメモリ保護情報記憶手段をランダムアクセスメモリを用いて構成し、メモリアドレス情報の上位ビットをインデクシングして前記複数のメモリ保護情報記憶手段の中から当該メモリブロックに対応するメモリ保護情報記憶手段を選択することを特徴とする請求項1記載のメモリ保護装置。

【請求項4】 任意のNバイト長のメモリブロックに対して $\log_2 N$ ビットをマスクパターンとして前記カレントキー情報記憶手段に記憶しておき、前記メモリアドレスの下 $\log_2 N$ ビットをマスクして連想検索することにより、任意のサイズのメモリブロックの保護を行うことを特徴とする請求項2記載のメモリ保護装置。

【請求項5】 任意のNバイト長のメモリブロックに対して $\log_2 N$ ビットをマスクパターンとして前記カレントキー情報記憶手段に記憶しておき、前記メモリアドレスの下 $\log_2 N$ ビットを除いた値×保護キー情報長をオフセット値としてメモリ保護情報記憶手段にアクセスすることにより、任意のサイズのメモリブロックの保護を行うことを特徴とする請求項3記載のメモリ保護装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はコンピュータシステムのメモリ保護装置に関し、とくに複数のメモリブロックを多数のプロセスが共用使用するシステムにおいて、メモリブロックの内容が誤ったプロセス等によって破壊されるのを防ぎ、信頼性の高いシステムを構築する技術に関

するものである。

## 【0002】

【従来の技術】 コンピュータシステムのメモリを複数のメモリブロックに分け、それらを多数のプロセスで共用使用するシステムにおいては、あるプロセスの暴走等により、それと無関係なメモリブロックの内容が破壊されシステム全体をダウンさせるという問題があった。

【0003】 これを防ぐために、従来は、メモリを固定長のブロックに分割し、これとは別にメモリ上の別エリアにメモリ保護テーブルを用意し、メモリ保護テーブルに各メモリブロック対応にキー情報（プロテクトに必要な情報）を格納する方式が考案されていた。

【0004】 この方式では、オペレーティングシステム（OS）等が、メモリブロックを使用する前に、そのブロックに対応するメモリ保護テーブルに、必要なキー情報を予め格納しておき、あるプロセスがメモリブロックを使用する時に、まずメモリ保護テーブルをアクセスし、対応するキー情報を読みだして実行中のプロセスが有するキー情報と比較を行って正常であれば、次に実際のメモリブロックへのアクセスを行い、異常が検出されれば、処理を中断して例外処理に移行する等の方法が考えられていた（例えば特開平3-52046号公報）。

## 【0005】

【発明が解決しようとする課題】 従来の方式では、メモリブロックを読み書きしようとする度に毎回メモリ保護テーブルをアクセスしてチェックを行うので、チェックを行わない方式に比較してメモリアクセス頻度が2倍になり、システム処理能力を大きく低下させるという問題があった。

【0006】 また、メモリブロックは固定長で構成することが原則であり、もし、2倍の長さのメモリブロック長も使用する場合には、1つのメモリブロックに対してもメモリ保護テーブルの連続する2箇所にキー情報をセットする等の処理オーバーヘッドが付加されるので、処理能力が更に低下し、融通性も少なく使いにくいという欠点があった。

【0007】 本発明の目的は、メモリ保護の実現手段を改良して、メモリ保護のためのオーバーヘッドが少なく、更に可変長のメモリブロックにも対応できる柔軟なメモリ保護装置を提供することにある。

## 【0008】

【課題を解決するための手段】 本発明は上記目的を達成するため、複数のメモリブロックと、各メモリブロックに対応して保護情報を格納する複数のメモリ保護情報記憶手段と、あるメモリブロックに関する属性情報を記憶するカレントキー情報記憶手段とを備え、あるメモリブロックをアクセスする前に予め、該メモリブロックに対応するメモリ保護情報記憶手段に保護キーを設定し、該メモリブロックに関する属性キーをカレントキー情報記憶手段に設定しておき、メモリブロックへのアクセス

## 3

がある度に該メモリアクセスと並行して、メモリ保護記憶手段内の該メモリアドレスに対応するメモリブロックの保護キーとカレントキー情報記憶手段内の属性キーとを比較し、予め定められた条件を満足すれば該メモリアクセスを許可し、満足しなければ該メモリアクセスを禁止してアクセス違反が生じたことを外部に通知することを特徴とする。

【0009】また前記複数のメモリ保護情報記憶手段を連想メモリを用いて構成し、メモリアドレス情報をもとに前記複数のメモリ保護情報記憶手段が互いに並列的に動作する連想検索を行うことによって、複数のメモリ保護情報記憶手段の中から当該メモリブロックに対応するメモリ保護情報記憶手段を選択することを特徴とする態様は有効である。

【0010】さらに前記複数のメモリ保護情報記憶手段をランダムアクセスメモリを用いて構成し、メモリアドレス情報の上位ビットをインデクシングして複数の前記メモリ保護情報記憶手段の中から当該メモリブロックに対応するメモリ保護情報記憶手段を選択することを特徴とする態様は有効である。

【0011】また任意のNバイト長のメモリブロックに対して $\log_2 N$ ビットをマスクパターンとして前記カレントキー情報記憶手段に記憶しておき、前記メモリアドレスの下 $\log_2 N$ ビットをマスクして連想検索することにより、任意のサイズのメモリブロックの保護を行う態様は効果的である。

【0012】さらにまた、任意のNバイト長のメモリブロックに対して $\log_2 N$ ビットをマスクパターンとして前記カレントキー情報記憶手段に記憶しておき、前記メモリアドレスの下 $\log_2 N$ ビットを除いた値×保護キー情報長をオフセット値としてメモリ保護情報記憶手段にアクセスすることにより、任意のサイズのメモリブロックの保護を行う態様は効果的である。

## 【0013】

【作用】本発明では、メモリ保護テーブルへのアクセスモード（I/Oアクセスモード）とメモリブロックへのアクセスモード（メモリモード）を変え、I/Oアクセスモードによってメモリ保護情報記憶手段への読み書きを行い、メモリモードによって、メモリブロックへのアクセスと並行してメモリ保護情報記憶手段へのアクセスを行うことによって、チェックのための時間が処理能力に影響を与えないように構成している。

【0014】すなわち、本発明ではメモリ保護テーブルをメモリブロックを格納する一般のメモリから分離して、メモリ保護テーブルとメモリブロックとが同時アクセス出来るようにすることによって処理能力を低下させることなくメモリ保護チェックを行うことができる。

【0015】また可変長メモリブロックに対しては、連想メモリのマスク機能（検索時に比較データの一部のデータを検索対象外にするための制御データ）を用いるこ

## 4

とによって、処理オーバーヘッドの極めて少ない融通性のあるシステムを提供できる。

【0016】以下図面にもとづき実施例について説明する。

## 【0017】

【実施例】図1は本発明の第1の実施例の装置を組み込んだシステム構成図である。

【0018】同図において11はプロセッサ、12はメモリバス、13は本発明を含むメモリシステム、14はメモリアドレスレジスタ、15はメモリデータレジスタ、16はメモリシステム13の全体制御を司るアクセス制御部、17はメモリ保護制御部、18は複数のメモリブロックから構成されるメモリプール、19は現在実行中のプロセスが有するキー情報（カレントキー）を記憶するカレントキーレジスタ、20-1、20-2、  
10  
20  
20  
20-kはメモリプールの各メモリブロックのキー情報を格納する保護キーレジスタ、21-1、21-2、  
21-kは各保護キーレジスタ20-1、20-2、  
20-kの内容を、メモリアドレスレジスタ14の内容及びカレントキーレジスタ19の内容と比較する比較器で、特定のビット群について比較を抑止するマスク機能を備えている。

【0019】保護キーレジスタ20-iと比較器21-iをひとまとめにしたものを保護セル22-iと呼ぶ。

【0020】各保護セルは並列的に比較を行う機能、即ち連想アクセス機能を有する。

【0021】23は比較を行った結果、条件を満足する保護セルのアドレスを抽出する一致アドレス生成器、24は比較結果の状態情報を記憶する状態レジスタである。

【0022】図1においてメモリシステム13内のメモリプール18へのアクセスは、メモリバス12（アドレスバス及びデータバス）上に図2に示すアドレスバスフォーマット、データバスフォーマットの各情報のメモリアドレス41、メモリデータ42をのせることによって行われる。

【0023】一方、メモリシステム13内のメモリ保護制御部17へのアクセス（各種制御情報の書込み、読み出し）はI/Oアクセスモードで行われる。

【0024】I/Oアクセスモードはプロセッサ11の周辺装置を制御するためのモードで具体的には図3に示すアドレスバスフォーマット、データバスフォーマットの情報をプロセッサ11とメモリシステム13との間で転送する。

【0025】図3のI/O制御モード指定フィールド51はプロセッサ周辺装置の識別番号を指定するフィールドで、メモリ保護制御部17や、各保護セル22-i、カレントキーレジスタ19等、各情報転送単位毎に固有の番号が与えられる。

50 【0026】I/Oアクセスモードとメモリアクセスモ

## 5

ードの間の識別はアドレスバスの上位ビットに互いに異なる値を割り当てることによって互いに識別可能である。

【0027】52はコマンドフィールドで、メモリ保護制御部17に対する各種制御内容を指示する部分である。

【0028】53はメモリブロック上位アドレスフィールドで、プロテクト対象のメモリブロックの上位アドレスを示す。

【0029】なお、本発明においては同一メモリブロック内の各アドレスの上位ビットは同一になるようにメモリ割り付けを行っている。

【0030】54は当該メモリブロックを使用するプロセス番号(PID)を記憶するフィールド、55はメモリブロックサイズの変長化に対応するために、メモリアドレスの下位ビットを検索対象からはずすように指示するためのマスクボタン、56は54と同様のプロセス番号フィールドである。

【0031】図3(2)の情報はメモリチェックを行う際に使用される情報で、保護キーと呼ばれ、保護セルに記憶される。

【0032】また、図3(3)の情報はメモリブロックのサイズや実行中のプロセス番号等の実行属性を示す情報で、属性キーと呼ばれ、カレントキーレジスタに記憶される。

【0033】なお、53-56の各フィールドはフィールド単位に独立にメモリ保護制御部17に読み書きができるものとする。

【0034】どのフィールドの読み書きを行うかの細かい指定は図3(1)のコマンドフィールド52で行われる。

【0035】次にメモリ保護制御部17の動作例を以下に説明する。

【0036】〔1〕保護セルへのキー情報登録

【0037】図3に示すようにI/Oアクセスモードで、保護キー情報の保護セルへの登録をする場合にはプロセッサ11が図3に示すアドレス情報とデータ情報をメモリバス12経由でメモリシステム13に送出する。

【0038】メモリアドレスレジスタ14には図3

(1)の情報が入り、メモリデータレジスタ15には図3(2)の情報が入る。

【0039】その際、I/O制御モード指定フィールド51はI/Oアクセスモードであることを指定し、コマンドフィールド52で保護セルへのキー情報登録であることを指定しているため、連想メモリの各保護セル22-1、...22-kのうちの空き保護セルが検索され、そのアドレスが一致アドレス生成器23から出力され、状態レジスタ24に記憶されるとともに、対応する空き保護セル(例えば22-2)に図3(2)の保護キー情報が書き込まれる。

## 6

【0040】これによって登録されたメモリブロック(例えば25-k)内の任意エリアへのアクセスが発生した場合にチェックすべきキー情報が保護セル22-2に設定された。

【0041】〔2〕カレントキーレジスタへのキー情報登録

【0042】次にカレントキーレジスタ19への属性キー情報の登録については、I/Oアクセスモードを用いて図3(1)と図3(3)に示す情報がカレントキーレジスタ19に転送される。

【0043】ここでI/O制御モード指定フィールド51とコマンドフィールド52はカレントキーレジスタ19への登録であることを指定しているため、メモリデータレジスタ15内のマスクボタン55とプロセス番号56がそのままカレントキーレジスタ19に登録される。

【0044】これによって現在実行中のプロセス番号(CPID)と使用中のメモリブロックのサイズが設定され、メモリプロテクトの準備が完了した。

【0045】〔3〕メモリプールへのアクセス及びチェック

【0046】上記〔1〕、〔2〕を設定した後、メモリブロックに読み書きアクセスが生じたものと仮定する。

【0047】メモリアccessが生じると、プロセッサ11からメモリアccessモードで図2に示す情報がメモリバス12経由で転送され、メモリアドレスレジスタ14には読み書き対象のメモリプールのアドレスが設定され、メモリデータレジスタ15には書込みの場合の書込みデータが設定される。

【0048】このアドレス情報に基づいて、メモリプール18内の指定されたメモリブロックへのアクセスが行われる。

【0049】一方、これと並行してメモリアドレスレジスタ14の情報が、カレントキーレジスタ19の情報と合わせてメモリ保護制御部17の各保護セル22-1、...22-kに供給され、これらと各保護セルの保護キーレジスタ20-1、...20-kの内容とが一斉比較される。

【0050】ここで、カレントキーレジスタ19内のマスクボタン55はメモリアドレスレジスタ14の情報の下位ビットをマスクする。

【0051】例えば、図4に示すように、各メモリブロックが8バイト(2進数で1000)で構成され、0番地から順にアドレス付けされていると仮定すると、3番目のブロックのアドレスは16番地(2進数で10000)から23番地(2進数で10111)を占めることになる。

【0052】この場合、カレントキーレジスタ19内のマスクボタンは8-1=7(2進数で111)に、保護セル内の保護キーレジスタ(例えば20-2)には3番目のメモリブロック先頭アドレス上位ビット(2進数で

10

20

30

40

50

10xxxの上位3ビットである10x)が記憶される。

【0053】この状態で3番目のメモリブロック内のエリア21番地(2進数で10101)がアクセスされると、このアドレスのマスクパターンに1が立っているビット位置(下3ビット)がマスクされるので、アドレスの上位2ビットである[10xxx]が各保護セルの保護キーレジスタ20-1、・・・20-kのメモリブロック上位アドレスフィールド53と一斉比較される。

【0054】これと同時にカレントキーレジスタ19内の実行中プロセス番号(CPID)と各保護セル内キーレジスタのプロセス番号(PID)が一斉比較される。

【0055】この例ではもし、正しいメモリアクセスであれば図4に示すように保護セル内の保護キーレジスタ20-2のメモリブロック上位アドレスが一致し、かつ、カレントキーレジスタ19内のカレントプロセス番号と保護キーレジスタ20-2のプロセス番号(この値は本来読み書きを許されているプロセス番号を記憶している)と一致する。

【0056】その結果、これと並行して行われているメモリプールへの読み書きをそのまま承認してアクセス結果をプロセッサ側に返送する。

【0057】一方、例えばプログラムの暴走等のためにメモリプール内のエリアを誤ってアクセスしてしまった場合、保護キーレジスタ20-1、・・・20-kに登録されていないメモリブロックへのアクセスであれば、そこで不一致が検出される。

【0058】また、保護キーレジスタ20-1、・・・20-kに登録済みのメモリブロック上位アドレスのいずれかとたまたま一致しても、実行中のプロセス番号(CPID)と登録されているプロセス番号(PID)が異なるため、やはり不一致が検出される。

【0059】状態レジスタ24に不一致が検出されるとアクセス制御部16が、並行して行われているメモリプール18へのアクセスを直ちに中止させ、プロセッサ11に例外事象が発生したことを通知する。

【0060】以上の方法によって不正なメモリアクセスに対する保護をかけることができる。

【0061】図5は本発明のメモリ保護チェックを実現するためのタイムシーケンスを示したものである。

【0062】図5において送信側スレッド65(プロセスの最小単位)から受信側スレッド66にメモリブロック25-3を介してメッセージ転送する場合を例に説明する。

【0063】(ステップ67)カーネルのスケジューラ64は次に実行すべきスレッドを決めるプログラムであり、送信側スレッド65を実行する場合には対応する送信側プロセス番号(SID)を図1に示した機構により、メモリシステム内のカレントキーレジスタ19に登録する。

【0064】(ステップ68-69)送信側スレッド65の実行が開始されると、送信側スレッド65はカーネルのメモリ管理プログラム63に、必要なサイズのメモリブロックの捕捉(ハント)を要求する。

【0065】(ステップ70-72)メモリ管理プログラム63は図1の機構を用いてメモリプール内の空きメモリブロック25-3を見つけると、対応するメモリ保護制御部17内の保護キーレジスタ20-2にメモリブロック要求元のプロセス番号(SID)とメモリブロック上位アドレスを登録する。

【0066】また、バッファサイズ-1の値(マスクパターン)をカレントキーレジスタ19に設定する。

【0067】そしてその先頭アドレスを送信側スレッド65に返送する。

【0068】(ステップ73-74)これでカレントキーレジスタ19と保護キーレジスタ20-2の両方への登録が完了したので、これ以降メモリブロック25-3へのアクセスチェックができる状態になり、送信スレッド65からのメモリブロック25-3へのアクセスがある度にチェックが行われる。

【0069】即ちこの期間において送信側スレッド65以外のスレッドが当該メモリブロックにアクセスするとエラーを検出することができる。

【0070】(ステップ75-80)送信側スレッド65がメモリブロック25-3にメッセージを書込んでメモリブロックの使用が終了すると、カーネルのメモリ管理プログラム63はメモリ保護制御部に登録しておいたプロセス番号(SID)を削除する。

【0071】送信側スレッド65の処理が終了してカーネルのスケジューラ64に制御が戻ると、スケジューラ64はカレントキーレジスタ19に格納してあったカレントプロセス番号を削除し、次に実行するスレッド(受信側スレッド66)が決まると、そのプロセス番号(RID)をカレントキーレジスタ19に登録する。

【0072】(ステップ81-84)受信側スレッド66に制御が渡り、受信側スレッド66が受信システムコールを発すると、カーネルのメモリ管理プログラム63がメモリブロックに対応する保護制御部にメモリブロック使用元のプロセス番号(RID)を登録する。

【0073】これによってメモリブロック25-3へのアクセスチェックの準備が完了した。

【0074】(ステップ85-86)受信側スレッド66がメモリアクセスを行うと、その度に対応するメモリブロックのプロセス番号とカレントキーレジスタ19内のプロセス番号との比較を行い、イリーガルアクセスでないかどうかチェックする。

【0075】(ステップ87-91)受信側スレッド66はメモリブロック25-3を使用し終わると、カーネルのメモリ管理プログラム63が保護キーレジスタ20-2に登録しておいたRIDを削除し、続いて受信側ス

レッド68の処理が終了してスケジューラ64に制御が戻るとカレントキーレジスタ19のRIDを削除する。

【0076】図6は本発明の第2の実施例の装置を組み込んだシステム構成図である。

【0077】同図において101はプロセッサ、102はメモリバス、103は本発明を含むメモリシステム、104はメモリアドレスレジスタ、105はメモリデータレジスタ、106はメモリシステム103の全体制御を司るアクセス制御部、107はメモリ保護テーブル、108は複数のメモリブロックから構成されるメモリプ  
ール、109は現在実行中のプロセスの識別番号を記憶するカレントキーレジスタ、110はメモリ保護テーブル107の内容とカレントキーレジスタ109の内容との比較を行う比較器である。

【0078】このうちプロセッサ101、メモリバス102、メモリアドレスレジスタ104、メモリデータレジスタ105、メモリプール108、カレントキーレジスタ109はそれぞれ図1の対応する部分と同様の構成である。

【0079】メモリプール108は複数のメモリブロック111（連続するメモリエリアを一定長に区切り、その各々をメモリブロックと称する）を収容するランダムアクセスメモリで、0番地からアドレス付けが行われているものとする。メモリブロック単位で書き込み読み出し等の保護が行われる。

【0080】メモリ保護テーブル107は複数の保護キー情報を収容するランダムアクセスメモリで、各保護キー情報21はメモリプール108内の対応するメモリブロック111を保護するための情報を記憶するものであり、具体的にはそのメモリブロックの使用権を獲得して  
いるプロセスの番号（PID）をあらわす。

【0081】メモリプール108は通常のメモリアクセスモードにおいて、メモリアドレスレジスタ104で指定されたアドレスをもとに、メモリデータレジスタ105で指定されたデータの書き込み、あるいは指定されたアドレスのデータをメモリデータレジスタ105に読み出しを行う。

【0082】一方、メモリ保護テーブル107は通常のメモリアクセスモードの他にI/Oアクセスモードでも動作する。

【0083】メモリアクセスモードにおいては保護キー情報の読み出しを行い、I/Oアクセスモードにおいては保護キー情報の登録等を行う。

【0084】即ちメモリアクセスモードではメモリプール108側ではメモリアドレスレジスタ104で指定されたアドレスのメモリブロックへのアクセスを行う一方、これと並行してメモリアドレスレジスタ104の情報がメモリ保護テーブル107に入力される。

【0085】保護キー情報とメモリブロックはそれぞれ対応し、メモリプール108の先頭からK番目のメモリ

ブロックに対応する保護キー情報はメモリ保護テーブル107の先頭からK番目に記憶されている。

【0086】したがって、各メモリブロックサイズが $N (=2^N)$  バイト、各保護キー情報のサイズが $J (=2^J)$  バイトの場合、予めカレントキーレジスタ109にn個の1が並んだマスクパターンを記憶しておく。

【0087】そしてメモリブロックへのアクセスが生じると、（メモリアドレスレジスタ104のアドレスの下位nビットを除いた値） $\times J$ をテーブル先頭アドレスからのオフセット値としてメモリ保護テーブル107をアクセスすることにより、対応する保護キー情報を読み出すことができる。

【0088】読み出した保護キー情報は比較器110に  
入力され、カレントキーレジスタ109内のカレントキー情報（現在実行中のPID）と比較される。

【0089】一致していれば、メモリブロックをアクセスを許可されたプロセスが実際にアクセスを行ったのでメモリブロックの読み書きをそのまま許可する。

【0090】一致していなければ、現在実行中のプロセスはメモリブロックアクセスを許可されたプロセスと異なるので、進行中のメモリプール108へのアクセスを中止し、インタフェース線112、113を経由して例外の発生をプロセッサ101に通知する。

【0091】

【発明の効果】以上説明したように、本発明のメモリ保護装置によればメモリ保護情報記憶手段（メモリ保護制御部、メモリ保護テーブル）には保護キー情報を、カレントキーレジスタには実行環境を示す属性キー情報を記憶し、メモリアクセスと並行して両識別情報を比較してエラーチェックを行うことによって、性能を低下させずに、信頼性の高いシステムを構築することが可能となる。

【0092】また、マスクパターンを用いることによって各種バッファサイズに柔軟に対応することができる。

【図面の簡単な説明】

【図1】本発明の第1の装置を組み込んだシステムのブロック図である。

【図2】メモリバス上のメモリアクセスモードにおけるアドレス、データ情報である。

【図3】メモリバス上のI/Oアクセスモードにおけるアドレス、データ情報である。

【図4】メモリ保護チェックの手順を示したものである。

【図5】メモリ保護チェックを実現するためのタイムシーケンスである。

【図6】本発明の第2の実施例の装置を組み込んだシステムのブロック図である。

【符号の説明】

11 プロセッサ

13 本発明の第1の実施例を含むメモリシステム

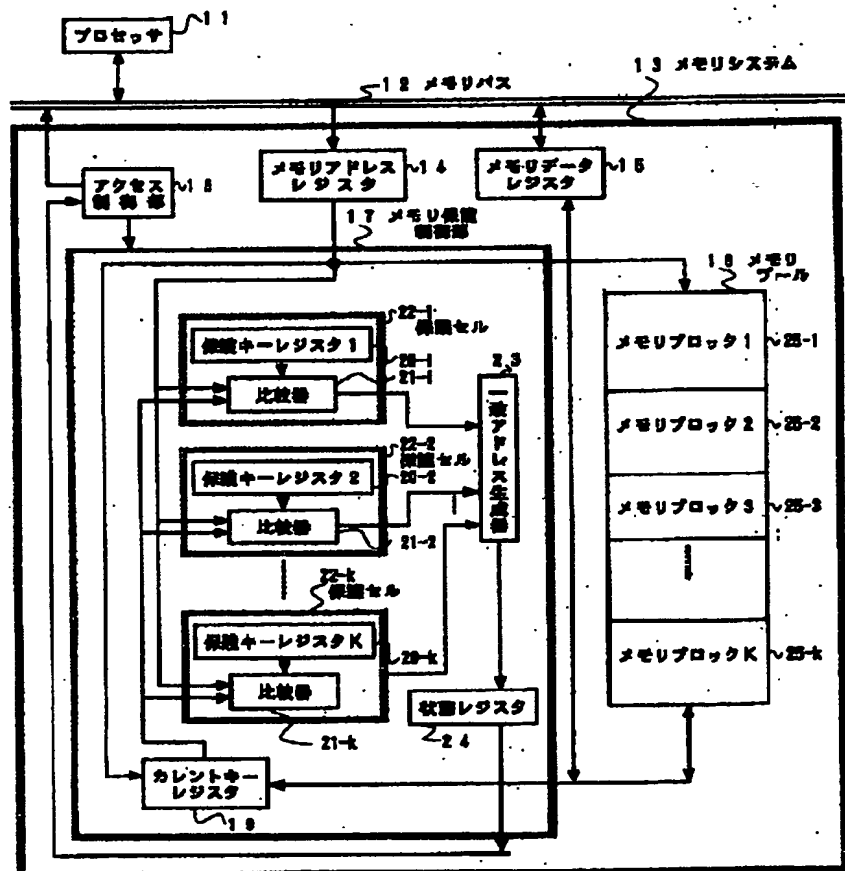
11

12

17 メモリ保護制御部  
 18 メモリプール  
 19 カレントキーレジスタ  
 20-1、20-2、...20-k 保護キーレジスタ  
 21 保護キー情報  
 21-1、21-2、...21-k 比較器  
 22-1、22-2、...22-k 保護セル  
 23 一致アドレス生成器  
 24 状態レジスタ  
 25-1、25-2、25-3、...25-k メモ  
 リブロック  
 41 メモリアドレス  
 42 メモリデータ  
 51 I/O制御モード指定フィールド

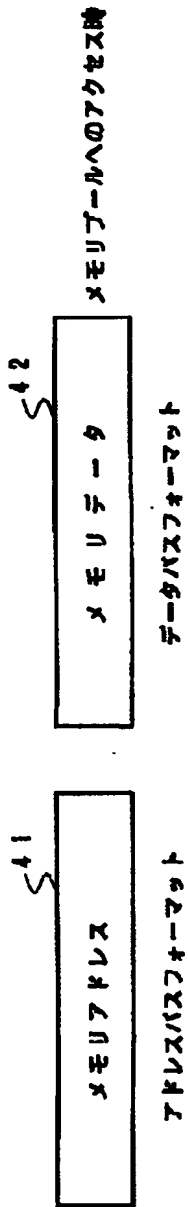
52 コマンドフィールド  
 53 メモリブロック上位アドレス  
 54、56 プロセス番号  
 55 マスクボタン  
 63 メモリ管理プログラム  
 64 スケジューラ  
 65 送信側スレッド  
 66 受信側スレッド  
 101 プロセッサ  
 103 本発明の第2の実施例を含むメモリシステム  
 107 メモリ保護テーブル  
 108 メモリプール  
 190 カレントキーレジスタ  
 110 比較器

【図1】

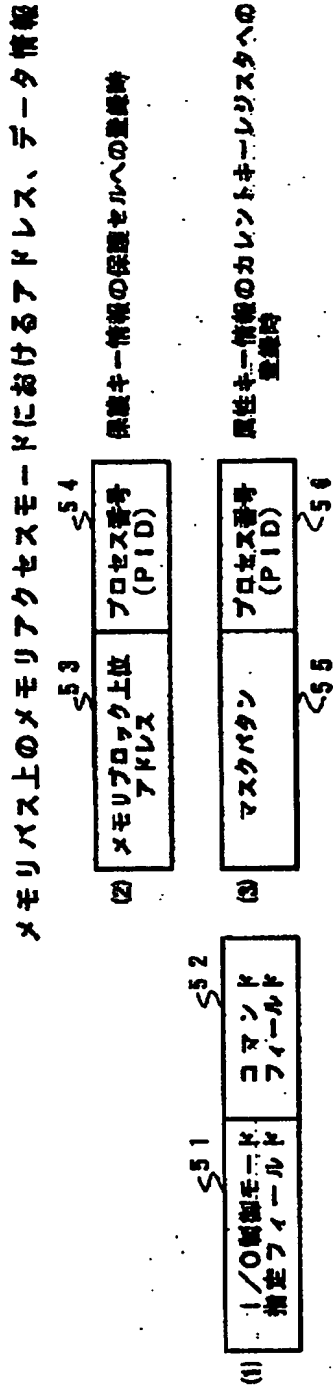


本発明の第1の実施例の装置を  
 組み込んだシステム構成図

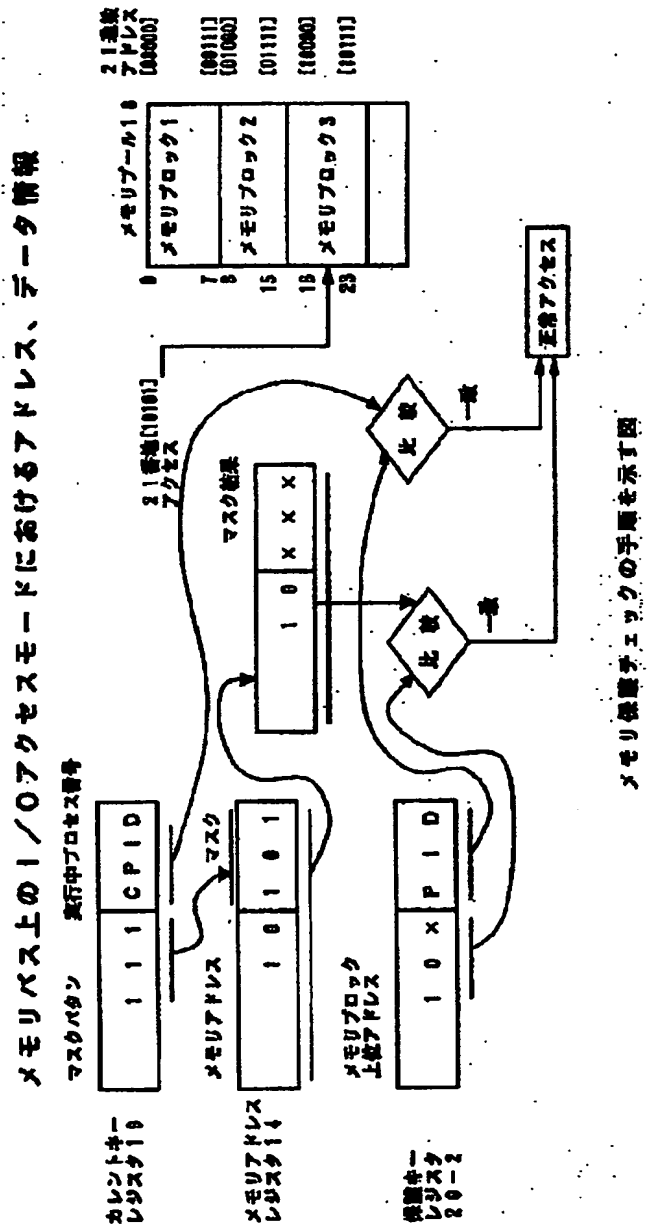
【図2】



【図3】



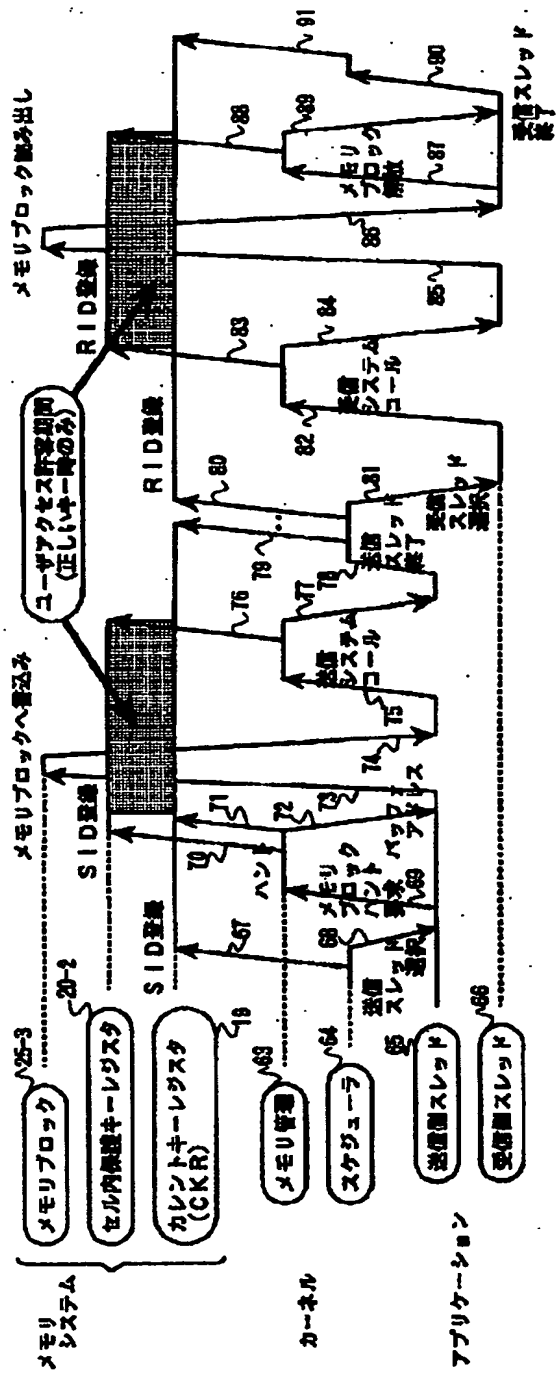
【図4】



メモリ保護チェックの手順を示す図



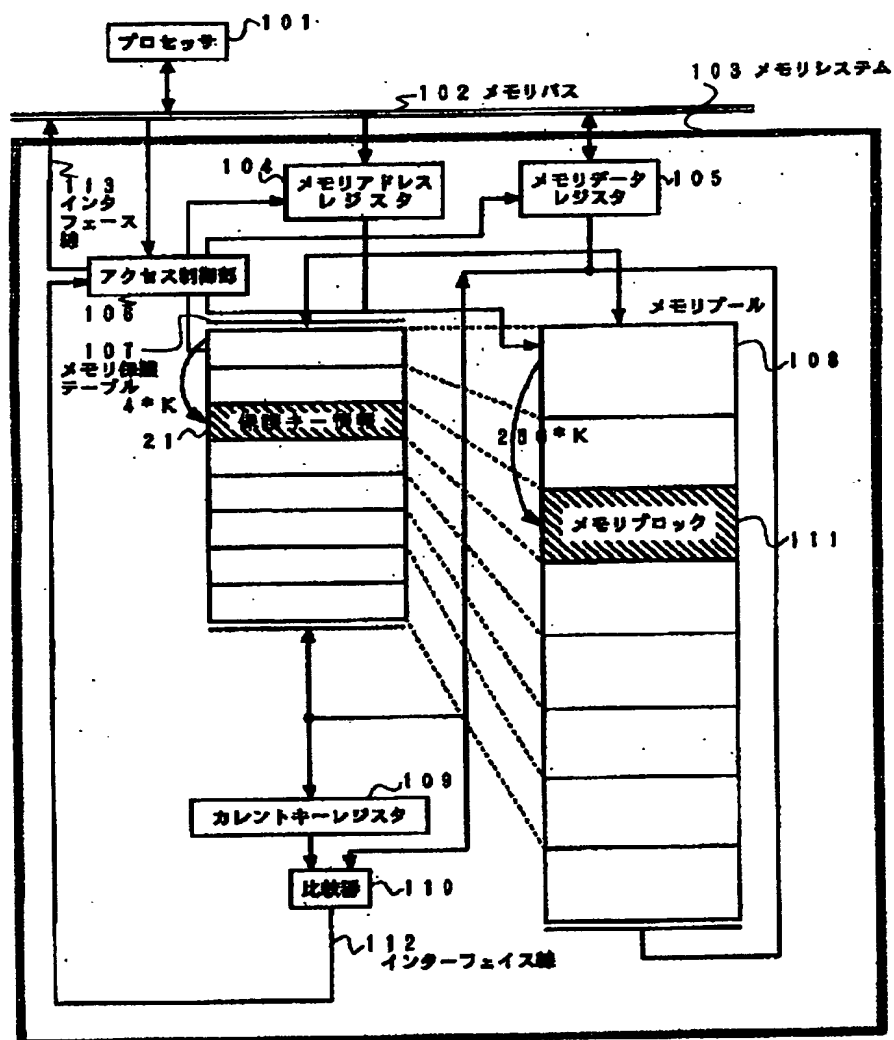
【図5】



	個設定の主体	値セット時期	値リセット時期	値チェックの主体
メモリ保護テーブル	カーネルメモリ管理部	パワファハント時	パワファ解放時	アプリケーションの送信スレッド
カレントキーレジスタ (CKR)	カーネルスケジューラ	カレントスレッド選択時	カレントスレッド終了時	同上

メモリ保護チェックを実現するためのタイムシーケンス

【図6】



本発明の第2の実施例の装置を組み込んだシステム構成図  
 (バッファサイズN=256, 保護キー情報サイズJ=4の場合)